

DIELECTRIC BODY, MANUFACTURE THEREOF, AND SEMICONDUCTOR DEVICE

Patent number: JP8298260
Publication date: 1996-11-12
Inventor: FUKUDA TAKUYA; KANAI FUMIYUKI; KATOU KIYOTAKA
Applicant: HITACHI LTD
Classification:
- International: *H01L21/768; H01L21/314; H01L23/522; H01L21/70; H01L21/02; H01L23/52; (IPC1-7): H01L21/314; H01L21/768*
- european:
Application number: JP19960040929 19960228
Priority number(s): JP19960040929 19960228; JP19950039687 19950228

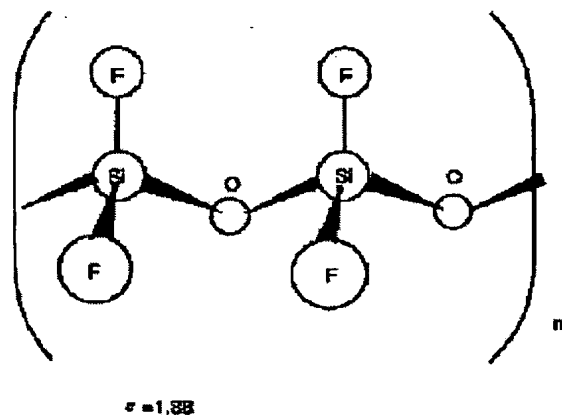
Report a data error here

Abstract of JP8298260

PURPOSE: To enable a dielectric film which insulates the wirings of a semiconductor device from each other to be lessened in permittivity so as to relax the semiconductor device in wiring delay of signals.

CONSTITUTION: A silicon oxyfluoride film with bonds of Si-F and Si-O is used for insulating the wiring of a semiconductor device, $\text{SiF}_2 \text{X}_2$ ($\text{X}=\text{H}, \text{Cl}, \text{OCH}_3, \text{OC}_2\text{H}_5, \text{OC}_3\text{H}_7$) is used as reaction gas to form a dielectric film.

Therefore, a silicon oxyfluoride film with bonds of Si-F and Si-O is smaller in permittivity than a silicon oxyfluoride film which contains bonds of Si-Si and O-F, so that a semiconductor device of this constitution lessened in wiring delay and enhanced in reliability can be manufactured.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-298260

(43) 公開日 平成8年(1996)11月12日

(51) Int. Cl. ⁶

識別記号

F I

H01L 21/314

H01L 21/314

A

21/768

21/90

K

審査請求 未請求 請求項の数16 O L (全11頁)

(21) 出願番号 特願平8-40929

(22) 出願日 平成8年(1996)2月28日

(31) 優先権主張番号 特願平7-39687

(32) 優先日 平7(1995)2月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 福田 琢也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 金井 史幸

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 加藤 聖隆

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 誘電体及びその製造方法並びに半導体装置

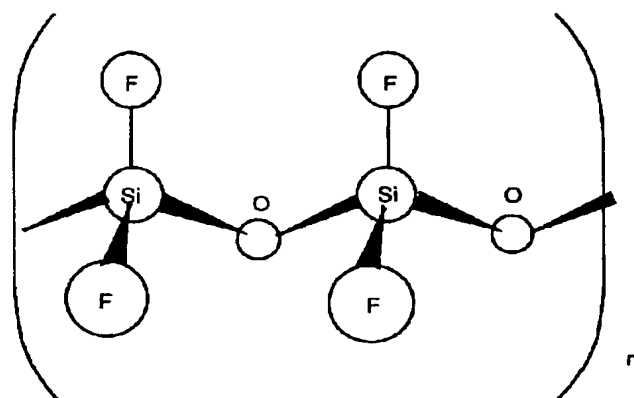
(57) 【要約】

【課題】 半導体装置の配線間を絶縁する誘電体膜の誘電率を低減し、信号の配線遅延を緩和する。

【解決手段】 Si-F, Si-O結合を有する酸化フッ化珪素膜を、半導体装置の配線の絶縁に用いる。また、SiF₄X₂ (X=H, Cl, OCH₃, OC₂H₅, OC₄H₉)を反応ガスとして用い、誘電体膜を形成する。

【効果】 Si-F, Si-O結合を有する酸化フッ化珪素膜は、Si-Si結合やO-F結合を含んだ酸化フッ化珪素膜より誘電率が小さいので、配線遅延が少なくなり信頼性の高い半導体装置が製造できる。

図 1



$\epsilon \approx 1.88$

【特許請求の範囲】

【請求項 1】フッ素原子と珪素原子の共有結合を有する酸化フッ化珪素物を含むことを特徴とする誘電体。

【請求項 2】請求項 1 において、酸化フッ化珪素物がさらに珪素原子と酸素原子の共有結合を有することを特徴とする誘電体。

【請求項 3】赤外吸収スペクトルの低周波側の半値半幅が 30 cm^{-1} 以下であり、酸化フッ化珪素物を含むことを特徴とする誘電体。

【請求項 4】密度が 1.8 g/cm^3 以上 2.4 g/cm^3 以下であり、酸化フッ化珪素物を含むことを特徴とする誘電体。

【請求項 5】比誘電率が 2.8 以上 3.2 以下であり、酸化フッ化珪素物を含むことを特徴とする誘電体。

【請求項 6】基板上に SiF_4 , X_2 ガスを含むガスを導入し、このガスに SiF_4 , X_2 が有するフッ素原子と珪素原子の共有結合を解離させないエネルギーを与えることを特徴とする誘電体の製造方法。

【請求項 7】請求項 6 において、 X が、 H , Cl , Br , OCH_3 , OC_2H_5 , OC_3H_7 , のいずれかであることを特徴とする誘電体の製造方法。

【請求項 8】請求項 6 において、前記エネルギーが、 SiF_4 , X_2 1 mol あたり 541 kJ 未満であることを特徴とする誘電体の製造方法。

【請求項 9】請求項 6 において、前記エネルギーが、CVD 装置により与えることを特徴とする誘電体の製造方法。

【請求項 10】請求項 6 において、前記エネルギーが、プラズマ処理装置により与えることを特徴とする誘電体の製造方法。

【請求項 11】請求項 9 において、スパッタを重畳することを特徴とする誘電体の製造方法。

【請求項 12】請求項 10 において、ラジオ波によりプラズマを生成することを特徴とする誘電体の製造方法。

【請求項 13】半導体基板と、
半導体基板の表面上に位置する複数の電極配線と、
複数の配線電極間に位置し、フッ素原子と珪素原子の共有結合を有する酸化フッ化珪素物を含む誘電体と、を有することを特徴とする半導体装置。

【請求項 14】半導体基板と、
半導体基板の表面上に位置する複数の配線電極と、
複数の配線電極間に位置し、赤外吸収スペクトルの低周波側の半値半幅が 30 cm^{-1} 以下であり、酸化フッ化珪素物を含む誘電体と、を有することを特徴とする半導体装置。

【請求項 15】半導体基板と、
半導体基板の表面上に位置する複数の電極配線と、
複数の配線電極間に位置し、密度が 1.8 g/cm^3 以上 2.4 g/cm^3 以下であり、酸化フッ化珪素物を含む誘電体、を有することを特徴とする半導体装置。

【請求項 16】半導体基板と、

半導体基板の表面上に位置する複数の電極配線と、
複数の配線電極間に位置し、比誘電率が 2.8 以上 3.2 以下であり、酸化フッ化珪素物を含む誘電体と、を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘電体及びその製造方法並びに半導体装置に係り、特に半導体集積回路装置等において、信号の配線遅延を緩和しかつ耐久性を向上させるに最適な低誘電率の誘電体に関する。

【0002】

【従来の技術】従来の半導体装置製造プロセスにおいて、電極配線を覆う絶縁膜に誘電率の低い有機膜を用いて電極配線を伝わる信号の配線遅延を緩和する試みがなされてきた。しかし、有機膜による電極配線の絶縁は、有機膜の耐久性に問題があるため、殆ど実用化されていない。

【0003】近年では、耐久性の面から、珪素、酸素、フッ素からなる誘電体膜（以下 SiOF 膜と記す）の形成方法の開発が進んできている。例えば、“Preparation of SiOF Films with Low Dielectric Constant by ECR Plasma Chemical Vapor Deposition” Extended Abstract of the 1993 Conference on Solid State Devices and Materials (1993) p. 158 に記載のように、反応ガスに 4 フッ化珪素 (SiF_4) と酸素を用いる方法が知られている。また、“Formation Mechanism of F-added SiO_2 Films using Plasma CVD” The 16th Proceedings of Symposium on Dry Process (1994) p. 133 に記載のように、酸化珪素膜形成に必要なガスにフッ素系のガスを添加する方法も知られている。

【0004】

【発明が解決しようとする課題】従来の SiOF 膜においては、膜の誘電率のばらつきが大きく狙いどおりの低誘電率の膜が形成されなかったり、耐水性が悪いという問題がある。

【0005】本発明の目的は、上記の問題を解決することにある。

【0006】

【課題を解決するための手段】本発明の誘電体は、フッ素原子と珪素原子の共有結合を有する酸化フッ化珪素物を含んでいる。

【0007】また、本発明の誘電体の製造方法においては、 SiF_4 , X_2 ガスを含むガスに、 SiF_4 , X_2 が有するフッ素原子と珪素原子の共有結合を解離させない大きさのエネルギーを与えて SiOF 膜を形成する。

【0008】さらに、本発明の半導体装置においては、半導体基板上に位置する複数の配線電極間に、フッ素原子と珪素原子の共有結合を有する酸化フッ化珪素物を含む誘電体を設ける。

【0009】物質の誘電率は配向分極、イオン分極、及び電子分極に基づくものの和になる。 SiO_2 あるいは SiOF 膜のような無配向物質の誘電率の主成分は、ほぼ電子分極に基づく誘電率になる。電子分極に基づく誘電率は、構成原子の原子屈折、あるいは原子間結合の電子グループ屈折より求められる。

【0010】図1は本発明の SiOF 膜、図2～図8は従来知られている SiO 、 SiO_2 あるいは SiOX

($\text{X}=\text{OF}$, H , OH , Cl) 膜の分子構造を示す。同図内には、本発明者が原子屈折から求めた比誘電率 ϵ を記載している。Fの原子屈折は CF_4 の分子屈折からCの原子屈折を差し引いて求める。また、Siの原子屈折は SiF_4 の分子屈折からFの原子屈折を差し引いて求める。これらの図および比誘電率 ϵ が示すように、 SiOF 膜の比誘電率は SiO 、 SiO_2 膜より小さい。さらに、本発明者の検討によれば、FとOの共有結合を有する分子構造の SiOF 膜よりも、SiとFの共有結合を有する分子構造の SiOF 膜の方が ϵ が小さい。

【0011】図9は結合の解離エネルギーを示す。O-F結合は、Si-F結合の1/3程度の弱い結合である。このため、O-F結合を有する SiOF 膜よりも、Si-F結合を有する SiOF 膜の方が、 ϵ が小さくかつ化学的に安定である。

【0012】Si-F結合を有する分子構造の SiOF 膜を形成するには、Si-F結合が少なくとも2本あり、他の2本のSi-X(Xは原子あるいは原子団)結合エネルギーがSi-F結合エネルギーよりも小さい SiF_2X_2 分子を用いる。図9に示すように、Si-H, Si-Cl, Si-O結合エネルギーはSi-F結合エネルギーよりも低い。従って、Xが、H, Cl, OCH₃, OC₂H₅, OC₃H₇ 等である分子を用いることが良い。

【0013】Si-Xの結合エネルギーがSi-F結合エネルギーより低い分子を用いる場合、 SiF_2X_2 分子のSi-Fは結合しているがSi-Xは解離するような状況を作り出せる。具体的には、 SiF_2X_2 分子1molにつき、Si-F結合が解離しない541kJのエネルギーを与えるように、熱CVD装置の反応温度やプラズマ処理装置の導入電力を制御する。このような場合、酸素は、Si-F結合を2個有しかつXが解離したSiに結合する。さらに、酸素の未結合手は、別の SiF_2X_2 分子における同様のSiに結合する。こうして、図1に示すようなSiにFが結合した分子構造を有する SiOF 膜を形成することができる。

【0014】なお、図9に示すように、Si-H結合エネルギーは他のSi-Cl, Si-O結合エネルギーよりも低い。従って、XがHである分子を用いるとプロセスマージンを広くすることができる。

【0015】

【発明の実施の形態】以下、本発明を図面を用いて詳細

に説明する。

【0016】(実施例1) 図10は SiOF 膜形成に用いるCVD装置の1種である電子サイクロン共鳴(ECR)-CVD装置である。本装置はマイクロ波導入窓1を有するプラズマ生成室2、反応室3、磁界発生コイル4、反応ガス導入管5及び6、基板7を保持するホルダ-8、基板7に高周波を印加する高周波源9よりなる。

【0017】まず本発明との比較のために、4フッ化珪素(SiF_4)と酸素(O_2)ガスを用いる SiOF 膜の成膜について説明する。反応ガス導入管5、6から、それぞれ O_2 を200 (ml/min), SiF_4 を40 (ml/min) 導入する。反応室3の圧力は排気量を調整することで0.2 (Pa) とする。なお、本図では排気系は省略している。磁界発生コイル4でプラズマ生成室2内に0.0875 (T) の磁界をかけ、2.45 (GHz) のマイクロ波10を導入してECRプラズマを生成し、 O_2 と SiF_4 を反応させることで基板に SiOF 膜を成膜する。ここで、基板には125 (mmφ) のp型のSi基板を用いる。また、導入マイクロ波パワー (P_μ) は600 (W) である。

【0018】成膜速度(D.R)は P_μ にほぼ比例して増加するが、 $P_\mu=600$ (W) では、 $D.R=0.2$ ($\mu\text{m/min}$) である。形成膜の ϵ は3.5 程度である。また、形成膜の結合状態は、Si-Si結合がO-Si-O結合の10%, Si-O-F結合がSi-F結合の30%含まれる。なお、 ϵ は形成膜上にAl電極を形成して測定することができ、形成膜の結合状態は蛍光X線(XPS)や核磁気共鳴(MNR)で調べることができる。

【0019】次に、本発明の一実施例である、2フッ化シラン(SiH_2F_2)を導入して SiOF 膜を形成する成膜方法について説明する。他の成膜条件は、 SiF_4 の場合と同じである。成膜速度は導入マイクロ波パワーに依存しないが、導入 SiH_2F_2 ガス量にほぼ比例して増加する。導入 SiH_2F_2 ガス量が40 (ml/min) では、 SiF_4 の時の場合の約2倍の $D.R=0.38$ ($\mu\text{m/min}$) である。成膜速度の増加は SiH_2F_2 の方が SiF_4 より分解エネルギーが低いためである。

【0020】図11は SiH_2F_2 と SiF_4 を用いて形成した SiOF 膜の赤外吸収スペクトルである。 SiF_4 の場合(B)、Si-O振動の中心は1065 (cm^{-1})、低波数側の半値半幅(HWHH)は33 (cm^{-1}) である。また、僅かながら、水分(O-H)も観測される。

【0021】一方、 SiH_2F_2 では(A)、Si-O振動の中心は1080 (cm^{-1})、低波数側の半値半幅(HWHH)は24 (cm^{-1}) である。なお、中心波数が高い程、Si-O結合は強いことを示し、半値半幅が小さい程、結合のネットワークが単純、すなわち、結合の種類が少ないことを示す。

【0022】また、 SiH_2F_2 による形成膜の結合状態を蛍光X線(XPS)、核磁気共鳴(MNR)で調べると、 $\text{Si}-\text{Si}$ 結合及び、 $\text{Si}-\text{O}-\text{F}$ 結合は観測されない。従って、形成膜構造は図1に示したように、ほぼ $\text{Si}-\text{O}$ と $\text{Si}-\text{F}$ 結合により構成されている。赤外スペクトルで $\text{O}-\text{H}$ が観測されないのは、結合力の弱い $\text{Si}-\text{O}-\text{F}$ を含んでいないためである。

【0023】この形成膜の ϵ は3.2程度である。この値は、原子屈折から見積もった SiO_2 膜の $\epsilon=2.27$ と実測されるガラス状態の SiO_2 の $\epsilon=4.0$ との変換比率 $\eta=1.76$ を、図1に示す SiOF 膜に対して見積もった $\epsilon=1.88$ に乗じた値となっている。

【0024】このように、2フッ化シラン(SiH_2F_2)を導入して SiOF 膜を形成すると、成膜速度が向上し、さらに形成された SiOF 膜が殆ど $\text{Si}-\text{O}$ と $\text{Si}-\text{F}$ 結合により構成されるため、耐水性等の化学的安定性に優れかつ低誘電率の誘電体膜が形成できる。

【0025】(実施例2) SiH_2F_2 の代わりに2塩化2フッ化珪素(SiF_2Cl_2)を導入して、他の条件は実施例1と同じ条件で成膜すると、形成された膜は、膜中に Cl は観測されず、 SiOF 膜となる。成膜速度も、 SiH_2F_2 を用いた時と殆ど同じで、 $D.R=0.36(\mu\text{m}/\text{min})$ である。 ϵ は、 SiH_2F_2 を用いた時より僅かに高い3.3程度である。すなわち、 SiF_2Cl_2 を用いると、 SiF_2 を用いるよりも低誘電率の絶縁膜が形成できる。

【0026】また、 SiH_2F_2 の代わりに2臭化2フッ化珪素(SiF_2Br_2)を導入して、他の条件は実施例1と同じ条件で成膜する場合も、形成された膜からは Br は観測されず、 SiOF 膜が形成できる。 SiF_2Cl_2 を導入する場合と同様に、成膜速度は $D.R=0.36(\mu\text{m}/\text{min})$ となり、 ϵ が3.3程度である低誘電率の誘電体膜が形成できる。

【0027】(実施例3) SiH_2F_2 の代わりにジメトキシ(Dimethoxy)2フッ化珪素($\text{SiF}_2(\text{OCH}_3)_2$)を導入して、他の条件は実施例1と同じ条件で成膜すると、形成された膜は、膜中に C は殆ど観測されず、 SiOF 膜となる。成膜速度は、 SiH_2F_2 を用いた時と殆ど同じで、 $D.R=0.36(\mu\text{m}/\text{min})$ である。 ϵ は、 SiH_2F_2 を用いるより僅かに高く3.3程度である。

【0028】また、 SiH_2F_2 の代わりにジエトキシ(Diethoxy)2フッ化珪素($\text{SiF}_2(\text{OC}_2\text{H}_5)_2$)を導入して、他の条件は実施例1と同じ条件で成膜しても、膜中に C は殆ど観測されず、 SiOF 膜を形成できる。成膜速度 $D.R$ は $0.15(\mu\text{m}/\text{min})$ であり、 SiH_2F_2 を用いる場合よりも低くなる。これは、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ の方が、常温での蒸気圧が低いためである。但し、ソース容器と配管を加熱して、必要量の $40(\text{ml}/\text{min})$ を導入させるようにすれば、 $D.R$ は $0.36(\mu\text{m}/\text{min})$ に向上する。なお、 ϵ は3.3程度である。

【0029】 SiH_2F_2 の代わりにジプロトキシ(Diprototoxy)2フッ化珪素($\text{SiF}_2(\text{OC}_2\text{H}_5)_2$)を導入して、他の条件は実施例1と同じ条件で成膜しても、同様に SiOF 膜を形成できる。但し、ソース容器と配管を加熱することで、必要量の $40(\text{ml}/\text{min})$ を導入させるようにする。この場合も、 $D.R=0.36(\mu\text{m}/\text{min})$ 、 $\epsilon=3.3$ 程度である。

【0030】なお、本発明者の検討によれば、表面に凹凸のある基板上に SiOF 膜を形成する場合の基板表面の被覆状態は、用いるソースが、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ 、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ 、 $\text{SiF}_2(\text{OCH}_3)_2$ 、 SiH_2F_2 の順に被覆状態が良い。

【0031】(実施例4) 図12に SiOF 膜形成に用いる、平行平板型のRF(RF:Radio Frequency)-CVD装置を示す。本装置は、反応室11、反応ガス導入管5及び6、基板7を保持しかつ基板を加熱できるホルダー12、プラズマ生成用の高周波を印加する高周波源13よりなる。

【0032】まず、本装置により、 SiH_2F_2 と1酸化窒素(N_2O)ガスを用いて SiOF 膜を成膜する場合について説明する。成膜は反応ガス導入管5、6から、それぞれ N_2O を $800(\text{ml}/\text{min})$ 、 SiH_2F_2 を $200(\text{ml}/\text{min})$ 導入する。反応室3の圧力は排気量を調整(排気系は図示省略)することで、 $200(\text{Pa})$ とする。 $13.6(\text{MHz})$ の高周波 $400(\text{W})$ を上部電極14に印加してプラズマを生成し、 N_2O と SiH_2F_2 を反応させることで基板に SiOF 膜を成膜する。基板温度は $350(^{\circ}\text{C})$ とする。

【0033】 SiF_4 を用いた場合には、膜形成は殆どできないが、 SiH_2F_2 を用いると形成速度 $D.R=0.20(\mu\text{m}/\text{min})$ で形成できる。 SiH_2F_2 を用い、 N_2O の代わりに O_2 を用いても SiOF 膜を形成できるが、 $D.R=0.1(\mu\text{m}/\text{min})$ 以下となる。 SiF_4 を用いた場合には、 $\text{Si}-\text{F}$ の結合エネルギーが大きいいため膜形成は殆どできないが、結合エネルギーが小さい $\text{Si}-\text{H}$ を有する SiH_2F_2 を用いるとRFプラズマでも SiOF を成膜できる。

【0034】このように O_2 の代わりに N_2O を用いると成膜速度が向上するのは、 N_2O の方が O_2 よりも活性酸素の生成エネルギーが低いためである。なお、形成された SiOF 膜の誘電率 ϵ は3.2程度である。

【0035】上述のように、 SiH_2F_2 を用いると、RFプラズマでも低誘電率の SiOF 膜を形成することができる。

【0036】(実施例5) 図13に SiOF 膜形成に用いるICP(ICP:Inductively Coupled Plasma)-CVD装置を示す。本装置は、石英製の反応室15、反応ガス導入管5及び6、基板7を保持するホルダー16、プラズマ生成用の高周波を印加するコイル17よりなる。

【0037】 先ず、本発明との比較のために、本装置により、 SiF_4 と酸素ガスを用いて SiOF 膜を成膜する場合について説明する。成膜は反応ガス導入管 5、6 から、それぞれ O_2 を $200 (\text{ml}/\text{min})$ 、 SiF_4 を $40 (\text{ml}/\text{min})$ 導入する。反応室 3 の圧力は排気量を調整 (排気系は図示省略) することで、 $0.2 (\text{Pa})$ とする。 $13.6 (\text{MHz})$ の高周波 $1 (\text{kW})$ をコイル 17 に印加してプラズマを生成し、 O_2 と SiF_4 を反応させることで基板に SiOF 膜を成膜できる。 $D.R = 0.2 (\mu/\text{min})$ であり、形成膜の ϵ は 3.5 程度である。また形成膜の結合状態は、 $\text{Si}-\text{Si}$ 結合が $\text{O}-\text{Si}-\text{O}$ 結合の 10%、 $\text{Si}-\text{O}-\text{F}$ 結合が $\text{Si}-\text{F}$ 結合の 30% 含まれる。

【0038】 次に、2 フッ化シラン (SiH_2F_2) を導入しても SiOF 膜を形成する本発明の実施例について説明する。他の成膜条件は、 SiF_4 のときと同じである。 SiF_4 の時の場合の約 2 倍の $D.R = 0.38 (\mu/\text{min})$ である。成膜速度の増加は SiH_2F_2 の方が SiF_4 より分解エネルギーが低いためである。

【0039】 SiH_2F_2 と SiF_4 を用いて形成した SiOF 膜の赤外吸収スペクトルにおいては、ECR プラズマのときと同じく、 SiF_4 の場合、 $\text{Si}-\text{O}$ 振動の中心は $1065 (\text{cm}^{-1})$ 、低波数側の半値半幅 (HWHH) は $33 (\text{cm}^{-1})$ である。また、僅かながら、水分 ($\text{O}-\text{H}$) も観測される。一方、 SiH_2F_2 では、 $\text{Si}-\text{O}$ 振動の中心は $1080 (\text{cm}^{-1})$ 、低波数側の半値半幅 (HWHH) は $24 (\text{cm}^{-1})$ である。

【0040】 また SiH_2F_2 による形成膜には、 $\text{Si}-\text{Si}$ 結合及び、 $\text{Si}-\text{O}-\text{F}$ 結合は観測されない。従って、形成膜構造は、殆ど $\text{Si}-\text{O}$ と $\text{Si}-\text{F}$ 結合により構成されている。赤外スペクトルで $\text{O}-\text{H}$ が観測されないのは、結合力の弱い $\text{Si}-\text{O}-\text{F}$ を含んでいないためである。なお、実施例 4 と同様に、 ϵ は 3.2 程度であり、低誘電率の膜が形成できる。また本形成膜は、化学的安定性が高い。

【0041】 上述のように、 SiH_2F_2 を用いると、ICP プラズマでも低誘電の SiOF 膜を形成することができる。

【0042】 (実施例 6) 上記各実施例では、図 14 に示すように、半導体装置の半導体基板表面に設けられる配線 18 を SiOF 膜 19 で被覆する場合、形成膜上の凹部の幅が配線間の間隔よりも狭くなる。このため、多層配線のために第 2 の配線を膜上に形成する場合、第 2 の配線の断線率が高くなり歩留まりの低下を招く。これを防ぐためには、 SiH_4 と O_2 を用いた SiO_2 成膜では、スパッタを重畳させればよい。スパッタを重畳する成膜の参考例として、図 10 の装置を用い、 SiF_4 の代わりに SiH_4 を用いて SiO_2 を成膜する場合について説明する。ただし、この場合、基板には高周波電源 9 から、 $400 (\text{kHz})$ を $400 (\text{W})$ を印加し、他の

条件は実施例 1 と同じにする。

【0043】 スパッタを重畳させない場合の成膜速度は、 $D.R = 0.38 (\mu/\text{min})$ であり、スパッタを重畳させた場合の成膜速度は、3 割減の $0.27 (\mu/\text{min})$ である。成膜速度の減少分がスパッタ速度 $S.R$ であり、この場合は $S.R = 0.11 (\mu/\text{min})$ となる。この時の成膜状態を図 15 に示す。成膜状態は $D.R$ と $S.R$ の比で決定される。 $D.R$ は導入 SiH_4 量を増やすことで増大させることができるが、 $S.R$ は導入 O_2 量を増やしても増大させることはできない。なお、形成膜の比誘電率 ϵ は 4.0 程度である。

【0044】 一方本発明の実施例である SiH_2F_2 と O_2 で SiOF 膜を形成する場合、スパッタを重畳させない場合の成膜速度は、 $D.R = 0.38 (\mu/\text{min})$ であり、スパッタを重畳させた場合の成膜速度は、5 割減の $0.19 (\mu/\text{min})$ である。減少分の $0.19 (\mu/\text{min})$ が $S.R$ であり、 SiH_4 を用いる場合よりも大きい値を示す。スパッタを重畳させた場合のスパッタ速度 $S.R$ の著しい向上は、 SiH_2F_2 の F が膜をエッチングするためである。 $S.R$ が向上した分、 $D.R$ を、 SiH_2F_2 量を増やすことにより増大させることができる。このようにして、 $D.R = 0.66 (\mu/\text{min})$ となる SiH_2F_2 量条件で配線上に膜形成したところ、すなわち実効的な成膜速度が $0.66 (\mu/\text{min})$ で配線上に膜形成すると、成膜状態は図 15 に示すようになる。このとき、形成膜の比誘電率 ϵ は 3.2 程度である。

【0045】 このように、 SiH_2F_2 を用いスパッタを重畳させて成膜すると、低誘電率の膜を形成できるばかりでなく、装置電源等の増大化を招くことなく、実効的な成膜速度の向上が図れる。

【0046】 さらに第 2 の配線の断線率を下げ、歩留まりの向上を図るには、図 15 に示すような形状を形成した後、塗布膜を形成して平坦化したり、あるいはエッチングバックをかけて余分な膜の凸部を除去して、図 16 に示すような膜構造を作っても良い。エッチングバックの代わりに、機械的-化学的研磨 (CMP) をしても良い。

【0047】 (実施例 7) 図 17 は、本発明者の検討結果である、各種形成条件により成膜される SiOF 膜の誘電率 ϵ と赤外スペクトルにおける $\text{Si}-\text{O}$ ピークの低波数側での半値半幅 HWHH の関係を示す。 ϵ と HWHH には強い相関関係がある。低誘電率の SiOF 膜を作るには、赤外スペクトルで得られる $\text{Si}-\text{O}$ ピークの低波数側での半値半幅 HWHH が 30 cm^{-1} 以下の SiOF 膜を形成すればよい。

【0048】 (実施例 8) 実施例 1 で SiF_4 を用いて形成する SiOF 膜の絶縁破壊電界 $B.V$ は $5 (\text{MV}/\text{cm})$ 程度である。通常の SiO_2 膜では、 $B.V = 9 (\text{MV}/\text{cm})$ である。これまで記述してきた SiOF 膜と通常の SiO_2 膜の間の組成を持った膜により、この $B.$

Vを向上できる。

【0049】参考例として、実施例1でのSiF₄ 40の代わりに、SiH₄を20 (ml/min)とSiF₄を20 (ml/min)用いる成膜方法がある。この場合、形成膜の成膜速度D.Rは0.19 (μm/min)である。形成される膜の組成が、SiOF膜と通常のSiO₂膜の間の組成であれば、ε=3.75近傍の値を示す。しかし、SiF₄を用いて形成したSiOF膜のεは3.9程度である。すなわち、SiF₄をFのドーピングガスを用いても、殆どフッ素ドーピングできない。これは、SiF₄のSi-F結合が、SiH₄のSi-H結合よりも著しく高いため、プラズマへ投入したエネルギーが殆ど、SiF₄の解離に使われず、SiH₄の解離に使われてしまうためである。

【0050】一方、本発明の実施例である、実施例1でのSiF₄ 40 (ml/min)の代わりに、SiH₄を20 (ml/min)とSiH₂F₂を20 (ml/min)を用いる成膜方法がある。成膜速度D.Rは0.38 (μ/min)である。形成したSiOF膜の比誘電率を測定したところ、ε=3.75であった。すなわち、形成膜はSiOF膜と通常のSiO₂膜の間の組成になる。これは、SiH₂F₂のSi-H結合エネルギーがSiH₄のSi-H結合エネルギーと同程度であるため、プラズマへ投入するエネルギーがSiH₂F₂とSiH₄の解離に均等に使われるためである。ε=3.2からε=4.0までの範囲でεは流量比(SiH₂F₂/SiH₄)の一次関数となるので、εの制御が容易になる。

【0051】このように、フッ素ドーピング用としてもSiH₂F₂は好適である。

【0052】(実施例9)図21は本発明を実施した絶縁膜が用いられるSRAMの断面構造を示す。本SRAMは、以下のプロセスにより、製造される。

【0053】p型シリコン基板1に選択酸化法(LOCOS)によりフィールド酸化膜2が形成された後、所定の場所に、ゲート7及びn型拡散層4、5を有する第1のトランジスタと、フィールド酸化膜2を挟んで第1のトランジスタに隣接する第2のトランジスタが形成される。次に、拡散層4、5上にローカル配線となるチタンシリサイド(TiSi₂)膜24が形成される。この膜の不要部分は、ホトリソグラフィー及びエッチングによって除去される。このあと、基板の全面に、燐と珪素を含有する酸化珪素膜(BSPG)のような絶縁膜が形成される。絶縁膜の段差が750℃でのリフローにより緩和される。続いて、プラズマCVD法により、450℃でSiO₂膜が形成される。SiO₂膜とステップdで形成される絶縁膜の積層体に化学的機械的研磨(CMP)が施されることにより、平坦化パッシベーション絶縁膜9が形成される。さらに、チタンシリサイド(TiSi₂)膜24上に、ホトリソグラフィー及びエッチングによってコンタクトホールが形成される。コンタクトホール

内には、タングステンからなる、ビットラインや配線層の接続プラグが形成される。次に、引出線連結のためのパッド及び1層目の配線層11が形成される。

【0054】この配線層11が形成された後、SiF₄、H₂を用いプラズマCVD法によりSiOF膜(比誘電率3.3)が基板上の全面に形成される。SiOF膜に化学的機械的研磨(CMP)が施されることにより、1層目の平坦化絶縁膜12が形成される。平坦化絶縁膜12にはコンタクトホールが形成され、そしてコンタクトホール内にタングステンからなるプラグ16、17が形成される。続いて、2層目の配線層14が形成された後、SiF₄、H₂を用いて、SiOF膜からなる絶縁膜15が形成される。絶縁膜15には、スルーホールと、タングステンからなるプラグ16、17と、が形成される。

【0055】その後、同様のプロセスによって、3層目の配線層20、3層目の平坦化絶縁膜19、プラグ21、4層目の配線層22、4層目の平坦化絶縁膜23が形成される。

【0056】本発明者の検討によれば、上記のようなSRAMにおいて、信号遅延時間は22psである。これに対し、絶縁膜がSiH₄を用いて形成されるSiO₂膜であると信号遅延時間は28psであり、絶縁膜がSiF₄を用いて形成されるSiOF膜であると信号遅延時間は25psである。また、100000時間に相当する加速試験において、従来のSRAMでは信号遅延時間が22~36ps程度に大きくばらつくが、本発明を実施したSRAMでは信号遅延時間は殆ど変化しない。従って、SiF₄、H₂を用いて形成されるSiOF膜を配線間の絶縁膜として使用すれば、SRAMにおける信号遅延が低減されるとともに、SRAMの信頼性が向上する。このような効果は、集積度が大きくなり配線間の距離が微細になるほど顕著である。

【0057】図22は本発明を実施した絶縁膜が用いられるDRAMの断面構造を示す。図23は本DRAMのメモリセルの上面図である。これらの図中、BL、WLはそれぞれビットライン、ワードラインを示す。SNcont、BLcontはそれぞれストレージノードへの接続部、ビットラインへの接続部を示す。SAはメモリセルと投影面積を示し、x、yはメモリセルの寸法を示す。256MビットDRAMの場合、x、yはそれぞれ0.85μm、0.65μmである。本DRAMは、以下のプロセスにより製造される。

【0058】p型シリコン基板1に選択酸化法(LOCOS)によりフィールド酸化膜2が形成された後、所定の場所に、ゲート7及びn型拡散層4、5を有する第1のトランジスタと、フィールド酸化膜2を挟んで第1のトランジスタに隣接する第2のトランジスタが形成される。このあと、基板の全面に、燐と珪素を含有する酸化珪素膜(BSPG)のような絶縁膜が形成される。続い

て、プラズマCVD法により SiO_2 膜が形成される。 SiO_2 膜と絶縁膜の積層体に化学的機械的研磨(CMP)が施されることにより、平坦化パッシベーション絶縁膜9が形成される。平坦化パッシベーション絶縁膜9にはコンタクトホールが形成される。コンタクトホール内には、燐ドーピングシリコンからなり、ビットラインBL、ストレージノードSN、及び1層目の配線層が接続される接続プラグ10が形成される。次に、ビットラインBLおよびストレージノードSNが連結されるパッドと、配線層11とが形成される。パッド及び配線層は、どちらも $\text{TiN}/\text{Al}/\text{TiN}$ 積層構造を有し、同時に形成される。

【0059】この配線層11が形成された後、 SiF_4 、 H_2 を用いプラズマCVD法により SiOF 膜が基板上の全面に形成される。 SiOF 膜に化学的機械的研磨(CMP)が施されることにより、1層目の平坦化絶縁膜12が形成される。平坦化絶縁膜12にはコンタクトホールが形成され、そしてコンタクトホール内にタングステンからなるプラグ13、14が形成される。

【0060】次に、キャパシタが形成される。キャパシタ形成部の投影領域の寸法は、 $0.65\mu\text{m} \times 0.65\mu\text{m}$ である。キャパシタは、電荷蓄積容量を大きくするために、高さ $0.5\mu\text{m}$ の筒状構造を有する。キャパシタは、以下のようにして形成される。

【0061】CVD法により形成される厚さ $0.2\mu\text{m}$ のタングステン膜がホトリソグラフィ及びドライエッチングにより加工されることにより、ストレージノードSNの下部電極が形成される。次に、ストレージノードSNの側面電極の形成のために、厚さ $0.3\mu\text{m}$ の SiO_2 膜が堆積される。本 SiO_2 膜は、ホトリソグラフィ及びドライエッチングにより、 $0.4\mu\text{m} \times 0.4\mu\text{m}$ の柱状ブロックに加工される。柱状ブロックの上にはCVD法により厚さ $0.2\mu\text{m}$ のタングステン膜が形成される。タングステン膜は、エッチングバックにより加工されて、ストレージノードSNの側壁となる。このあと、不要となった柱状ブロックは、ウェットエッチングにより除去される。続いて、5酸化タンタル(Ta_2O_5)膜がCVD法により形成された後、この膜の不要部分がホトリソグラフィ及びドライエッチングにより除去される。次に、厚さ $0.2\mu\text{m}$ 窒化チタン(TiN)膜を全面に形成する。窒化チタン膜のプレート電極PL引出部がホトリソグラフィによりレジストで被われた後、エッチングバックによりプレート電極PLが形成される。この時点で、プラグ14上に寸法 $0.5\mu\text{m} \times 0.5\mu\text{m}$ のキャパシタが形成される。次に、 TiN 膜、 Al 膜、 TiN 膜を順次形成された後、この積層体がホトリソグラフィおよびドライエッチングにより加工されることにより、周辺回路の配線層が形成される。

【0062】この後、キャパシタの保護と2層目の配線層の絶縁とのために、絶縁膜が形成される。本絶縁膜

は、有機シランを用いて形成される酸化膜からなる。次に、スルーホールと、タングステンからなるプラグ16、17とが形成される。なお、タングステンの選択成長法により、図22のような高さの異なるプラグ16、17の形成が可能になる。

【0063】次に、3層目の配線層18およびパッド19が形成される。さらに、前述した方法により、3層目の平坦化 SiOF 絶縁膜20が形成される。その後、上述した手順により、プラグ21、4層目の配線層22、及び4層目の平坦化絶縁膜23が形成される。

【0064】本発明者の検討によれば、200時間のプレッシャークッカー試験における不良発生率は、本発明を実施した上記のようなDRAMでは3%程度である。これに対し、絶縁膜が SiH_4 を用いて形成される SiO_2 膜であると不良発生率は38%程度であり、絶縁膜が SiF_4 を用いて形成される SiOF 膜であると不良発生率62%程度である。従って、 SiF_4 、 H_2 を用いて形成される SiOF 膜を絶縁膜として使用すれば、DRAMの信頼性が向上する。

【0065】さらに、本発明者は、 SiH_4 、 F_2 を用いて形成した SiOF 膜をTFT-LCDのゲート絶縁膜として用いてTFT特性について検討した。また、従来から使用されていた SiH_4 により形成した SiO_2 膜をつけたTFTについても検討した。これによると、 SiOF 膜を用いた場合、移動度 μ は $0.6(\text{cm}^2/\text{V}\cdot\text{s})$ 程度であり、一方、 SiO_2 膜を用いた場合 $\mu=0.4(\text{cm}^2/\text{V}\cdot\text{s})$ 程度である。このような μ の差は、 SiH_4 、 F_2 を用いるとプラズマ中に遊離するフッ素が膜形成面を平滑化するために生じる。

【0066】なお、 SiOF 膜には疎水性があるので、LSI、パワートランジスタ、TFT用のパッシベーション膜にも好適である。

【0067】(実施例10) 実施例1のような装置及び方法で、反応圧力、導入パワー、及びガス流量を変化させて形成される SiOF 膜について、本発明者が検討した結果を説明する。図18は、形成膜の比誘電率と密度の関係を示す。比誘電率は、密度に依存し、特に密度が $1.8 \sim 2.4(\text{g}/\text{cm}^3)$ でほぼ密度の一次関数となる。すなわち、この密度範囲では、密度を下げることで低誘電率化が図れる。

【0068】図19は、形成膜の絶縁破壊電界と密度の関係を示す。密度が $1.8(\text{g}/\text{cm}^3)$ 以上では、配線間の絶縁膜として十分な絶縁破壊電界を示す。

【0069】以上のように、密度が $1.8(\text{g}/\text{cm}^3)$ 以上 $2.4(\text{g}/\text{cm}^3)$ 以下の SiOF 膜が、低誘電率絶縁膜として好ましい。

【0070】(実施例11) 実施例10の SiOF 膜の脱水分量について、本発明者が検討した結果について説明する。

【0071】図20は、形成膜の比誘電率と、膜を60

10

20

30

40

50

0 (°C) に加熱したときに出てくる脱水分量の関係を示す。ただし、脱水分量の値は、実施例 1 の SiH_2F_2 を用いて形成する膜の比誘電率の値で規格化されている。図が示すように、比誘電率が 2.8 ~ 3.2 で、脱水分量は一定であるが、比誘電率が 2.8 以下及び 3.2 以上で増加する。比誘電率が 2.8 未満では、密度低下のため膜内において膜物質が粗な位置が生じ、粗となる原因位置に空気中の水分が取り込まれるために脱水分量が増加する。また、比誘電率が 3.2 よりも大きいと、O-F 結合や Si-Si 結合があるために、空気中の水分あるいは水分中の水酸基 OH が膜中に取り込まれやすいため、脱水分量が増加する。

【0072】 このように、膜の水分含有量を低減するためには、比誘電率が 2.8 ~ 3.2 の膜を用いることが好ましい。このような膜を用いれば、LSI 等の半導体装置の信頼性が向上する。

【0073】 なお、酸化性ガスの代わりに、 N_2 、 NH_3 等の窒化性ガスを用いると、 SiNF 膜が形成できる。 SiH_2F_2 と窒化性の N_2 、 NH_3 等のガスから SiNF 膜を形成し、これを TFT ゲート膜に用いると、 SiH_4 を用いて形成した SiN 膜をゲート膜として用いる TFT より良好な特性が得られる。このように、 SiH_2F_2 は半導体のゲート絶縁膜形成に好適である。

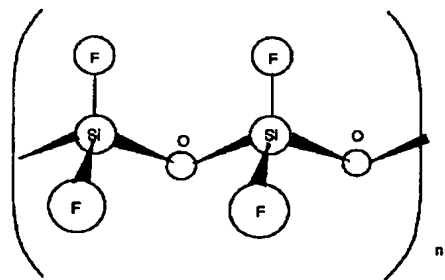
【0074】

【発明の効果】 本発明によれば、低誘電率でかつ信頼性の高い誘電体膜が形成できるため、信号の配線遅延の少ない半導体装置や特性の優れた半導体装置の製造ができる。また、低誘電率でかつ信頼性の高い誘電体膜が効率良く形成できるため、半導体装置の製造価格を低減できる効果もある。

【図面の簡単な説明】

【図 1】

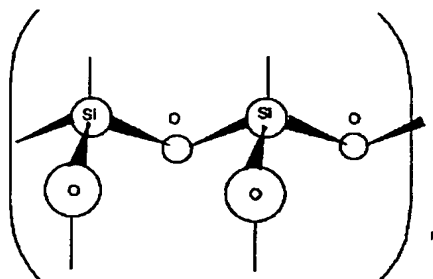
図 1



$\epsilon = 1.88$

【図 2】

図 2



$\epsilon = 2.27$

【図 1】 本発明の SiOF 膜構造。

【図 2】 膜構造と誘電率。

【図 3】 膜構造と誘電率。

【図 4】 膜構造と誘電率。

【図 5】 膜構造と誘電率。

【図 6】 膜構造と誘電率。

【図 7】 膜構造と誘電率。

【図 8】 膜構造と誘電率。

【図 9】 結合エネルギーと活性酸素の生成エネルギー。

【図 10】 成膜装置の一例。

【図 11】 形成膜の赤外吸収スペクトル例。

【図 12】 成膜装置の一例。

【図 13】 成膜装置の一例。

【図 14】 配線上の膜形成状況。

【図 15】 配線上の膜形成状況。

【図 16】 配線上の膜形成状況。

【図 17】 誘電率と半値半幅の関係。

【図 18】 形成膜の密度と比誘電率の関係。

【図 19】 形成膜の密度と絶縁破壊電界の関係。

【図 20】 形成膜の比誘電率と脱水分量の関係。

【図 21】 本発明の SiOF 膜が用いられる SRAM の断面構造。

【図 22】 本発明の SiOF 膜が用いられる DRAM の断面構造。

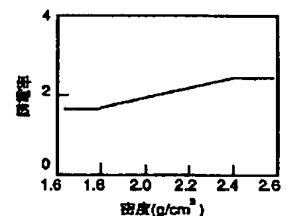
【図 23】 図 22 の DRAM におけるメモリセルの上面図。

【符号の説明】

5, 6…反応ガス導入管、7…基板、HWHH…半値半幅、14…上部電極、17…コイル、18…配線、19 ~ 21… SiOF 膜。

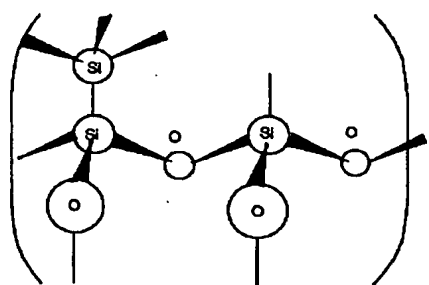
【図 17】

図 17



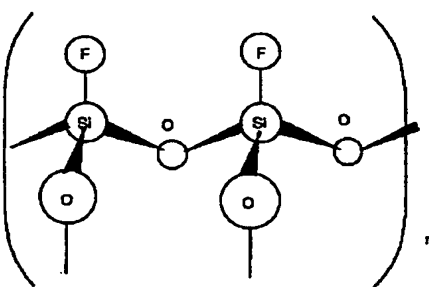
【図 3】

図 3

 $\epsilon = 2.35$

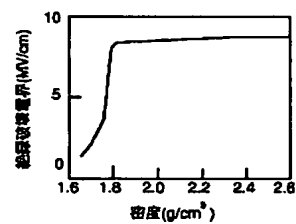
【図 4】

図 4

 $\epsilon = 2.09$

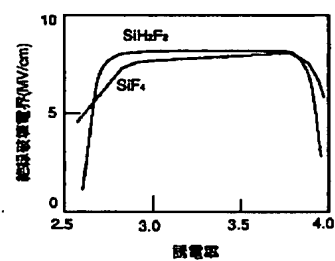
【図 18】

図 18



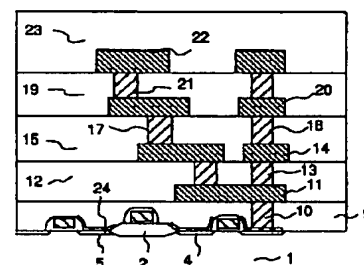
【図 19】

図 19



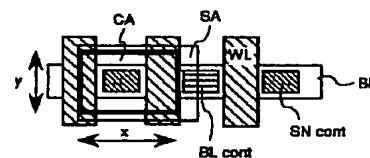
【図 21】

図 21



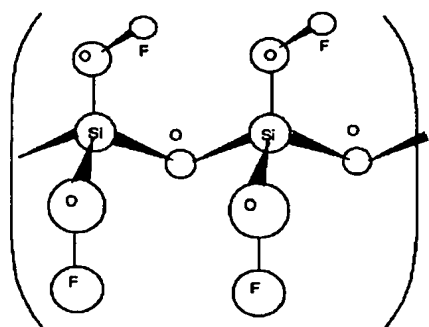
【図 23】

図 23



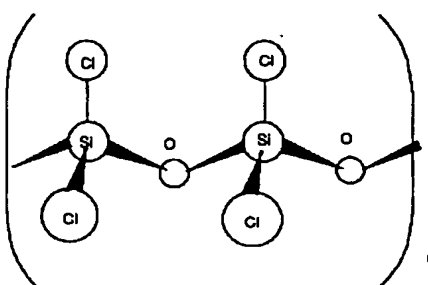
【図 5】

図 5

 $\epsilon = 2.00$

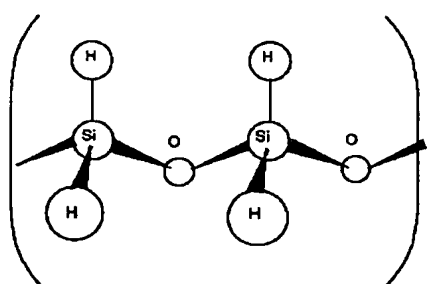
【図 6】

図 6

 $\epsilon = 2.90$

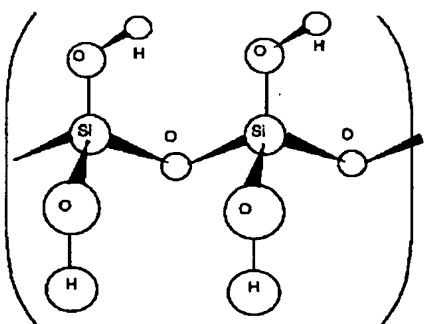
【図 7】

図 7

 $\epsilon = 2.19$

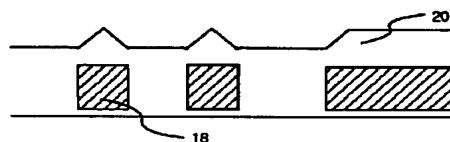
【図 8】

図 8

 $\epsilon = 2.61$

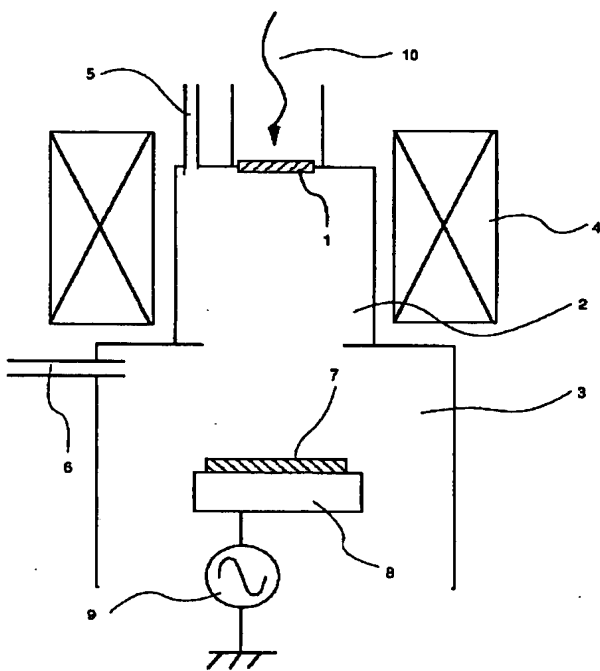
【図 14】

図 14



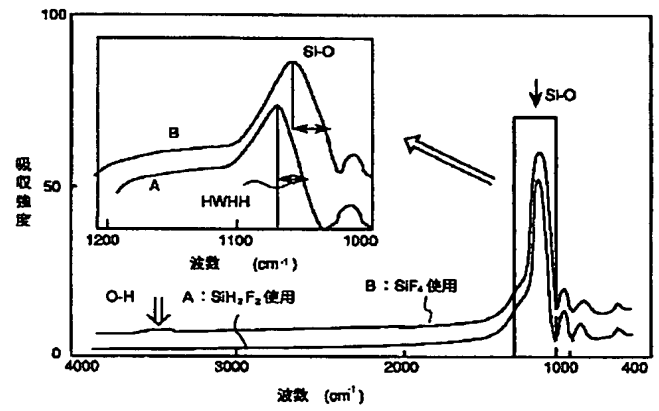
【図 9】

図 9



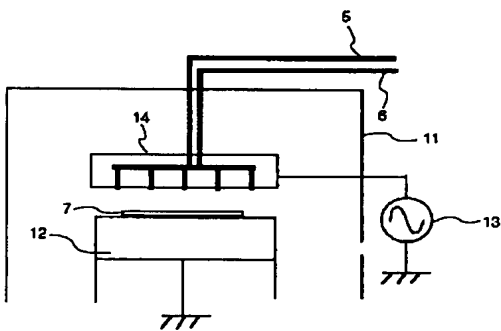
【図 10】

図 10



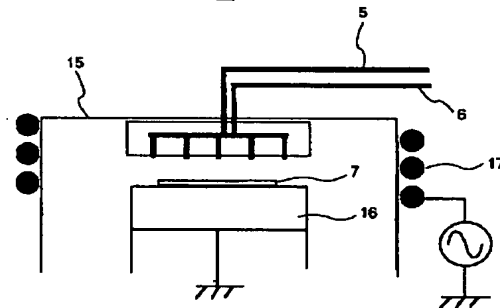
【図 11】

図 11



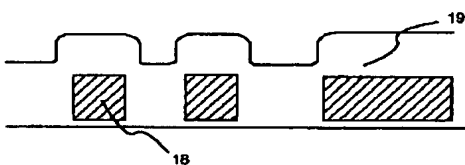
【図 12】

図 12



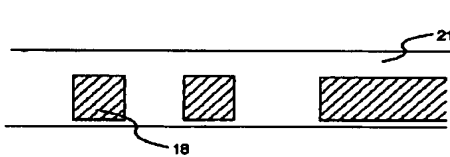
【図 13】

図 13



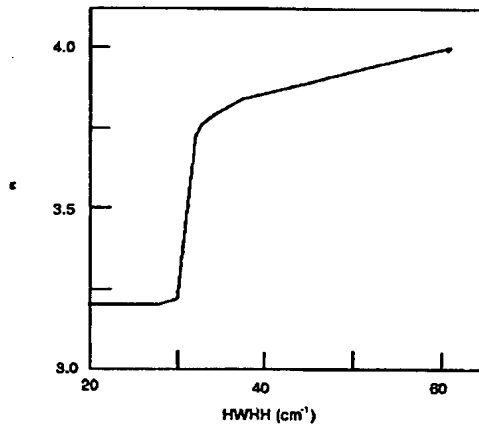
【図 15】

図 15



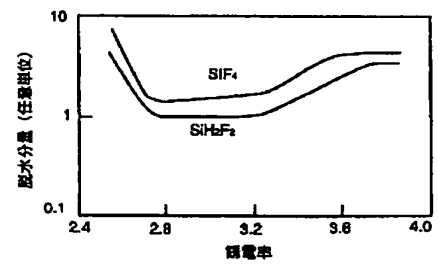
【図 16】

図 16



【図 20】

図 20



【図 22】

図 22

